

引用格式:康昊鹏,王霄飞,金晶. 电导调制的相减拓扑可重构多相开关电容 DC-DC[J]. 微电子学与计算机, 2021, 38(7): 13-17. [KANG H P, WANG X F, JIN J. Subtraction topology reconfigurable multiphase switched capacitor DC-DC converter with conductance modulation[J]. Microelectronics & Computer, 2021, 38(7): 13-17.]

电导调制的相减拓扑可重构多相开关电容 DC-DC

康昊鹏,王霄飞,金 晶

(上海交通大学 电子信息与电气工程学院,上海 200240)

摘 要: 提出了相减模式的可重构多相位开关电容 DC-DC 变换器,实现 1/2 和 2/3 两种转换比. 在 2/3 模式下,利用减法拓扑降低了传统串并联架构中的寄生损耗. 给出了多相位开关电容 DC-DC 在脉冲频率调制下的环路小信号模型;提供了开关频率和开关管尺寸在给定负载条件下的最佳选择方案. 采用比较器实现了开关管尺寸的自适应调制,进一步提升了效率. 仿真结果显示:基于 40 nm 工艺,该变换器的输入电压为 2.2 V,环路带宽达到了 20 MHz,瞬态响应的恢复时间为 40 ns;变换器在 1/2 模式下,达到了 85.2% 的峰值效率和 280 mW/mm² 的功率密度;在 2/3 模式下,达到了 83.7% 的峰值效率和 320 mW/mm² 的功率密度.

关键词: 开关电容;减法拓扑;可重构;脉冲频率调制;小信号模型;电导调制

中图分类号: TN432

文献标识码: A

文章编号: 1000-7180(2021)07-0013-05

Subtraction topology reconfigurable multiphase switched capacitor DC-DC converter with conductance modulation

KANG Haopeng, Wang Xiaofei, Jin Jing

(School of Microelectronics, Shanghai Jiao Tong University, Shanghai 200240, China)

Abstract: A subtraction topology of the reconfigurable multiphase switched capacitor DC-DC converter is presented to realize the conversion ratios of 1/2 and 2/3. In 2/3 mode, the parasitic loss of the serial-parallel topology is reduced by the subtraction topology. This paper presents the small signal model of the multiphase switched capacitor DC-DC converter loop under PFM control, which provides the optimal selection scheme for the switching frequency and the size of the transistors at a given load condition. The comparator is adopted to realize the adaptive modulation of the conductance of the transistors to further improve the efficiency. The simulation results show that under 2.2 V input voltage in the TSMC-40nm process, the proposed converter achieves 20 MHz bandwidth. The recovery time of the transient response is 40ns. In 1/2 mode, this converter achieves the peak efficiency of 85.2% and the power density of 280 mW/mm². In 2/3 mode, the peak efficiency is 83.7% and the power density is 320 mW/mm².

Key words: Switched-Capacitor (SC); subtraction topology; reconfigurable; pulse-frequency modulation (PFM); small signal model; conductance modulation

1 引言

在传统电感型 DC-DC 设计中,环路带宽被开关频率所限制,大体积电感电容的使用也限制了

其片上集成的可能. 随着摩尔定律演进,单一片上多内核电路的发展趋势也使得分布独立式的本地电源管理的设计思路诞生^[1],电源管理芯片亦朝着大电流和高频率的方向发展^[2]. 开关电容(SC)

DC-DC 由于只利用电容完成电荷搬移操作,兼顾了高效率的同时,也充分发挥了其利于集成的优势.然而在传统的 SC DC-DC 设计中仍存在着诸多局限.基于 Series-Parallel 的串并型可重构架构^[1]在 2/3 和 1/3 转换比下存在寄生损耗较大的问题,恶化了变换器的效率.脉冲频率调制(PFM)以其易于实现和频率可调成为了 SC DC-DC 最广泛的控制手段.基于电荷泵型的 PFM 控制^[3]不存在稳定性问题,却难以量化开关频率的解析解.而在基于线性控制器的 PFM 控制中,将主极点设置在输出虽然可达到高的增益带宽积^[4],但是误差放大器消耗了大量的静态电流.采用自适应算法虽然可实现开关管电导可调^[5],但是复杂的算法降低了系统的鲁棒性.

针对以上问题,本文研究的可重构多相位 SC DC-DC 结合相减拓扑^[6]减少了 2/3 转化比下的寄生损耗.通过并行比较器检测 VCO 调节点的电位值,实现开关管电导分段线性调节,省去了复杂的自适应算法.

2 多相位 SC DC-DC 的环路分析与设计

2.1 环路架构与小信号模型

图 1 所示为 SC DC-DC 的直流模型和本设计的 SC DC-DC 控制环路.其中 R_{eq} 建模 SC DC-DC 的输出阻抗,即电荷共享损耗. R_p 建模了寄生损耗.慢开关条件下,多相 SC DC-DC 的 R_{eq} 可对电荷乘子向量法^[7]进行推广从而计算为:

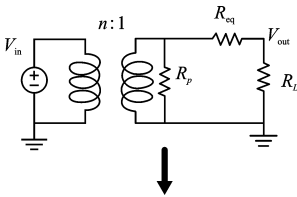


图 1 多相位可重构 PFM 控制的 SC DC-DC 环路架构

$$R_{eq-SSL(N>1)} = \sum_{n=1}^N \sum_{i=1}^2 \frac{(a_{n,i})^2 (N-1)}{(2f_{sw} C_{fly}/N)N} \quad (1)$$

式中, i 代表相位阶段, N 代表相数且远大于 1. C_{fly} 为飞跨电容, f_{sw} 为开关频率, $a_{(n,i)}$ 为多相条件下的电荷乘子向量,它在 1/2 转换比时为 1/2N.

本环路采用线性 PFM 控制,误差放大器根据基准电压和输出电压分压值的差去调控压控振荡器(VCO)的频率. VCO 的调控节点 V_{tune} 送入并行比较器和另外几组基准电压进行比较,送入控制逻辑电路选择开启的开关管阵列以适应不同负载情况.控制信号 V_{ctrl} 改变 SC 的拓扑得到不同转换比.

由于误差放大器和 SC 单元可近似为单极点系统,慢开关情况下,环路的小信号模型可近似为:

$$H(s) = \frac{K_{vco} V_{in} R_L \beta A_{EA}(s)}{n M_{cap} f_{sw}^2 C_{fly} (R_L + \frac{1}{M_{cap} f_{sw} C_{fly}})^2 (1 + \frac{s}{M_{cap} f_{sw}})} \quad (2)$$

式中, n 是转换比, β 是反馈系数, M_{cap} 为拓扑因子,本设计中 1/2 模式下为 4, 2/3 模式下为 4.5. $A_{EA}(s)$ 是误差放大器的传输函数. SC DC-DC 环路此时可近似为一个二阶系统.本设计中,运放的极点为环路主极点,SC 单元贡献次极点.改变开关频率大小即可控制次极点位置,保证环路稳定性.

2.2 最优静态工作点的理论计算

公式(2) 仍然存在未知量 f_{sw} ,为了求解环路的静态工作点,结合图 1 和公式(2),可解如下方程:

$$V_{in} \frac{R_L}{n(R_L + R_{eq-SSL})} = V_{refl} \frac{H(dc)/\beta}{1 + H(dc)} \quad (3)$$

根据式(3),即可求解 f_{sw} .通过调节电路的其它参数即可控制 f_{sw} 逼近理论最佳值.以轻载条件为例, Lee 给出的最佳开关频率和开关管尺寸为^[1]:

$$f_{sw_opt} = \frac{1}{\sqrt{M_{cap} M_{bott} k_{kott}}} \frac{1}{C_{fly} R_L} \quad (4)$$

$$W_{opt} = \sqrt{\frac{V_o^2}{V_{sw}^2} \frac{R_{on} C_{fly}}{R_L C_{gate}}} \sqrt{M_{sw}^2 M_{cap} M_{bott} k_{kott}} \quad (5)$$

式中, V_o 是输出电压, V_{sw} 是开关信号摆幅. M_{cap} , M_{sw} , M_{bott} 为拓扑因子, k_{kott} 为寄生电容耦合系数, C_{gate} 为栅寄生电容, R_{on} 为开关管导通电阻.令公式(3)的解等于公式(4)即可得到给定负载条件下的最优开关频率.接着根据公式(5),即可得到最优的开关管尺寸.本设计的具体参数如下: C_{fly} 为 1.2 nF, K_{vco} 为 800 MHz/V, β 为 0.5, 相位数为 28, 开关频率从 30 MHz 变化到 500 MHz. W_{opt} 从 4 000

μm 变化到 $16\,000\,\mu\text{m}$. 环路带宽设计为 $20\,\text{MHz}$. 根据公式(2)算出的最差相位裕度也有 45° .

3 关键电路模块设计

3.1 相减拓扑可重构 SC DC-DC

图 2 为传统的基于 Series-Parallel 架构的可重构 SC DC-DC. Series-Parallel 架构通过添加一个开关将飞跨电容 $C_{\text{fly}1}$ 和 $C_{\text{fly}2}$ 正负连接起来,实现可变换比.但是在 $2/3$ 转换比中, $C_{\text{fly}2}$ 的正负两端摆幅高达 $V_{\text{in}}/3$,因此寄生节点 $V_{\text{c}2\text{t}/\text{b}}$ 上的寄生电容将引入大量的寄生损耗.

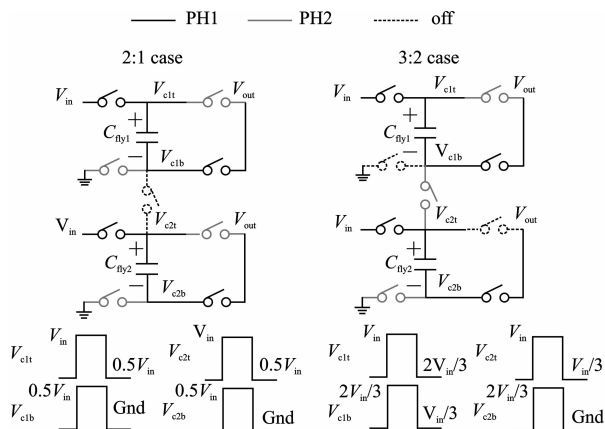


图 2 串并型可重构 SC DC-DC

图 3 为本设计提出的基于相减拓扑的可重构 SC DC-DC. 飞跨电容 $C_{\text{fly}2}$ 和 $C_{\text{fly}1}$ 的负端通过一个开关连接. 在 $2/3$ 转换比下, $C_{\text{fly}2}$ 的寄生节点 $V_{\text{c}2\text{t}/\text{b}}$ 的摆幅仅为 $V_{\text{in}}/3$,其寄生损耗相比起 Series-Parallel 架构减小了 4 倍,总寄生损耗减小了 60% [6].

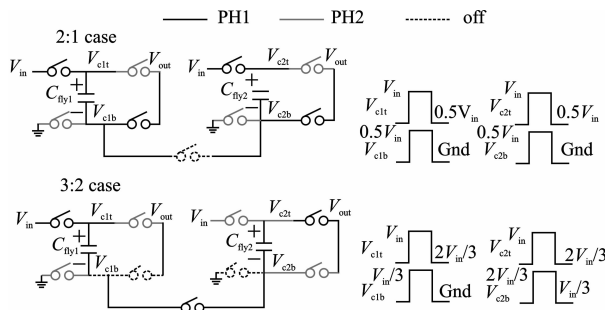


图 3 相减拓扑可重构 SC DC-DC

3.2 分段线性开关管电导调节

为了逼近最优效率,开关管的尺寸也应随负载变化.如图 4 所示,本设计采取分段线性逼近的方式,利用 VCO 调控节点的 V_{tune} 所携带的负载信息,将其与基准源 $V_{\text{ref}2}$ 和 $V_{\text{ref}3}$ 比较,当负载电流增大

得 V_{tune} 超过基准电压时,比较器输出高,对应的 PMOS/NMOS 开关管单元接入时钟.反之比较器输出低,PMOS 开关管接入高电位,NMOS 开关管接入低电位,分别被关死.比较器的时钟直接从 VCO 获取以简化设计.在本设计中,一共设置了 3 档开关管尺寸,分别对应 $1\sim 50\,\text{mA}$ 轻载, $50\sim 100\,\text{mA}$ 中载, $100\sim 150\,\text{mA}$ 重载三种情况.

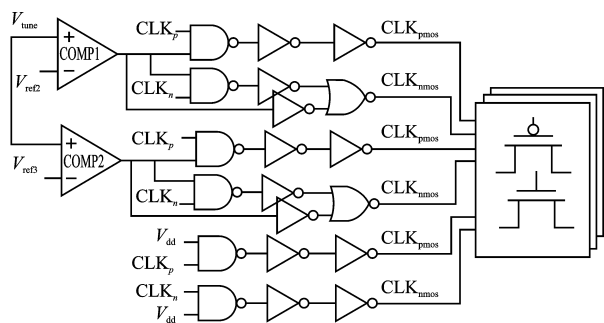


图 4 开关管电导调制的逻辑控制电路

3.3 SC 核心单元与 MOS 电容的实现

图 5 所示为相减拓扑可重构 SC 单元的实际电路实现. 开关管 M_{p2} , M_{p5} 和 M_{n4} 在两种转换比下分别由不同的时钟信号驱动,其余管子的时钟驱动信号的电源域在两种转换比下都是不变的. 整个 SC 单元的时钟信号通过电容耦合型的 Level-Shifter 被拆分成了两个电源域,分别为 $V_{\text{in}} \sim V_{\text{out}}$ 和 $V_{\text{out}} \sim \text{Gnd}$. 时钟驱动信号需要由不交叠时钟电路生成以防止 SC 单元开关瞬间产生短路电流,抑制交叠损耗[8].

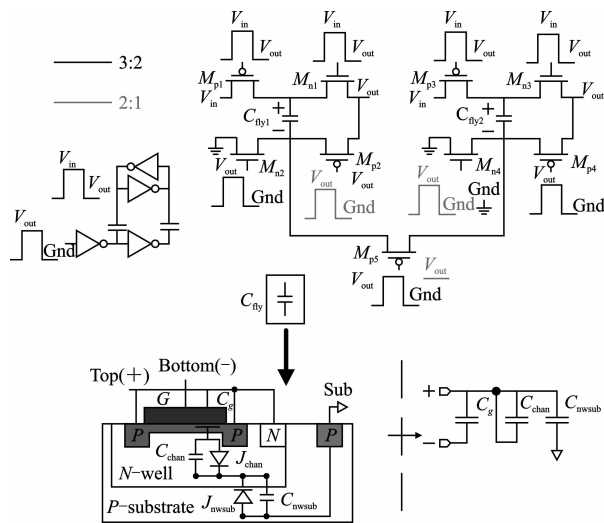


图 5 SC 的核心单元与 MOS 电容的原理图

为了提高电容密度,本设计将 MOS/MOM 电容堆叠,在 $40\,\text{nm}$ 工艺下达到了 $17\,\text{fF}/\mu\text{m}^2$ 的密度.

MOS 电容利用 PMOS 和 flying-well^[3] 偏置技术实现. 它从两方面降低了寄生损耗. 第一, MOS 栅端到 N 阱的寄生 C_{chan} 可高达 10%, 但此时被短路, 寄生电容为 N 阱到 P-sub 的寄生 C_{nwsb} , 对应的 k_{bott} 仅为 1.3%. 第二, 寄生从底板损耗转换为顶板损耗. 在底板损耗中, 寄生电容上的电荷直接泄放到地被浪费. 而在顶板损耗中, 寄生电容等效为一个效率为 0.5 的 LDO 向输出搬移电荷, 利用了部分能量.

4 仿真结果分析

4.1 环路稳定性与瞬态响应特性

本文设计的电路使用 Cadence 软件的 spectre 工具进行仿真. 两种转换比下的启动过程和瞬态响应如图 6 和图 7 所示. 负载在 10 mA 和 120 mA 之间跳变. $V_{\text{tune_ea}}, V_{\text{out}}, f_{\text{sw}}$ 依次为误差放大器输出, 输出电压以及开关波形. 1/2 模式下的欠冲和过冲分别为 270 mV/75 mV, 2/3 模式下的欠冲和过冲分别为 410 mV/240 mV. 瞬态响应呈现过阻尼状态, 恢复时间为 40 ns, 响应迅速且接近环路带宽的倒数, 验证了本文提出的小信号模型.

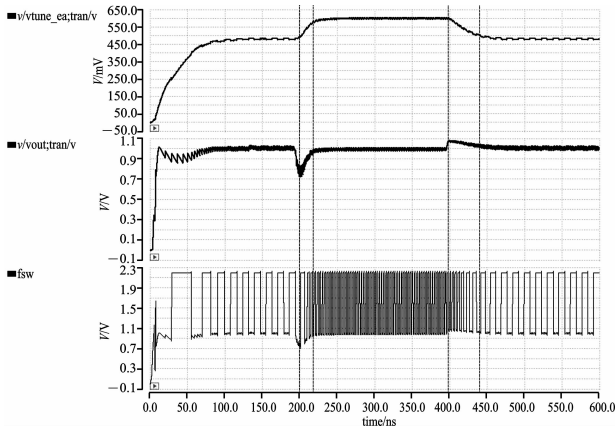


图 6 1/2 模式下 SC DC-DC 的启动与瞬态响应仿真

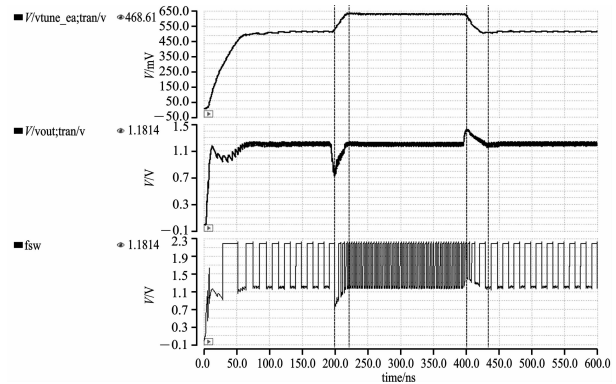


图 7 2/3 模式下 SC DC-DC 的启动与瞬态响应仿真

4.2 效率特性

图 8 是 1/2 模式下本设计的 SC DC-DC 效率仿真对比曲线, 实线为对照组, 采用重载条件下的固定开关管尺寸. 虚线采用了开关管电导调节. 可以看出, 合理的尺寸降低了栅驱动损耗, 使得从 5 mA 到 100 mA 的情况下, DC-DC 的效率都得到了改善.

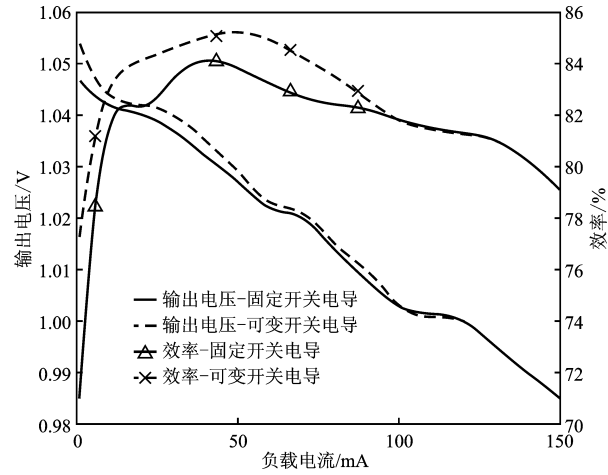


图 8 1/2 转换比下有无开关管电导调制的效率对比曲线

图 9 是 2/3 模式下的 SC DC-DC 效率仿真对比曲线, 实线为串并拓扑, 虚线为相减拓扑. 可以看出, 由于寄生损耗的抑制, 相减拓扑在全负载范围内都取得了更高的效率.

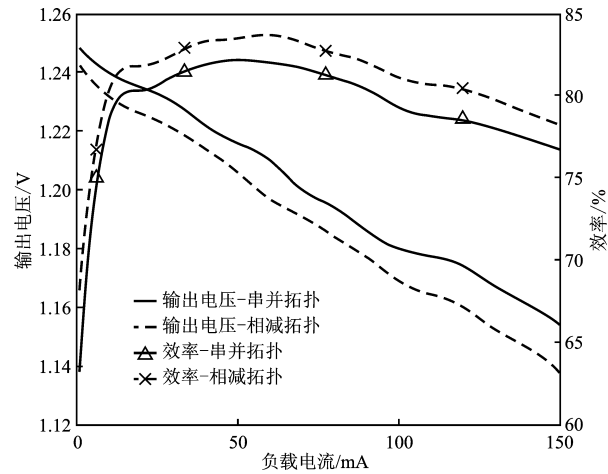


图 9 2/3 转换比下相减拓扑与串并拓扑的效率对比曲线

表 1 列出了本设计与相关参考文献的性能对比, 本设计在 1/2 模式取得了 85.2% 的峰值效率和 280 mW/mm² 的功率密度, 在 2/3 模式下取得了 83.7% 的峰值效率和 320 mW/mm² 的功率密度, 高的环路带宽也使得 SC DC-DC 的瞬态响应特性良好, 40 ns 的快速恢复时间足以应对大多数动态切频

切压的应用场景. 本电路在各个指标均展现出了一定的优势.

表 1 性能对比分析					
	文献[1]	文献[3]	文献[4]	文献[5]	本文 *
工艺	32 nm	65 nm	65 nm	22 nm	40 nm
转换比	1/3	1/2	1/3	1/1 1/2 2/3 4/5	1/2
	1/2		2/3		2/3
	2/3		3/4		
输入电压/V	2	2.4	1.6~2.2	1.225	1.8~2.2
输出电压/V	0.5~1.2	1	0.6~1.2	0.4~1.1	0.7~1.3
电容种类	MOS	MOS	MIM MOM MOS	MIM	MOM MOS
飞跨电容/ 输出电容/nF	N/A 0	2.56/ 0	4.8/ 0	1.6/ 0.1	1.2/ 0
峰值效率**	79.8	82.8	80.0	85.5	85.2
功率密度** mW /mm ²	860	240	180	154	280
最大输出功率/ mW**	N/A	138	152	16.5	150
恢复时间 /ns	N/A	25/ 29	25/ 25	N/A	40/ 40

注: * 仿真结果, ** 1/2 模式

5 结束语

本文提出了 PFM 控制下多相位 SC DC-DC 的环路函数,并提出了基于传输函数确立最优静态工作点的方法,以及利用 PFM 控制的特性实现分段线性的开关管电导调节,逼近理论效率边界. 本设计的 SC DC-DC 在 1/2 模式和 2/3 模式下都达到了较高的峰值效率和功率密度. 在环路设计上,环路带宽达到了 20 MHz,恢复时间为 40 ns,具有良好的瞬态响应性能.

参考文献:

[1] LE H P, SANDERS S R, ALON E. Design techniques for fully integrated switched-capacitor DC-DC converters[J]. IEEE Journal of Solid-State Circuits, 2011, 46(9): 2120-2131. DOI: 10.1109/JSSC.2011.2159054.

[2] 王晖,张涛,刘劲. 一种用于 Buck 型 DC-DC 电源管理芯片的带隙基准源[J]. 微电子学与计算机, 2020, 37(10): 42-47. DOI: 10.19304/j.cnki.issn1000-7180.2020.10.008.

WANG H, ZHANG T, LIU J. A bandgap reference source for buck DC-DC power management chip[J].

Microelectronics & Computer, 2020, 37(10): 42-47. DOI:10.19304/j.cnki.issn1000-7180.2020.10.008.

[3] CHIO U F, WEN K C, SIN S W, et al. An integrated DC-DC converter with segmented frequency modulation and multiphase co-work control for fast transient recovery[J]. IEEE Journal of Solid-State Circuits, 2019, 54(10): 2637-2648. DOI: 10.1109/JSSC.2019.2924092.

[4] LU Y, JIANG J M, KI W H. A multiphase switched-capacitor DC-DC converter ring with fast transient response and small ripple[J]. IEEE Journal of Solid-State Circuits, 2017, 52(2): 579-591. DOI: 10.1109/JSSC.2016.2617315.

[5] JAIN R, KIM S, VAIDYA V, et al. Conductance modulation techniques in switched-capacitor DC-DC converter for maximum-efficiency tracking and ripple mitigation in 22nm Tri-gate CMOS[C]//Proceedings of the IEEE 2014 Custom Integrated Circuits Conference. San Jose, CA, USA: IEEE, 2014: 1-4. DOI: 10.1109/CICC.2014.6946052.

[6] JIANG J M, LIU X, HUANG C, et al. Subtraction-mode switched-capacitor converters with parasitic loss reduction[J]. IEEE Transactions on Power Electronics, 2020, 35(2): 1200-1204. DOI: 10.1109/TPEL.2019.2933623.

[7] SEEMAN M D, SANDERS S R. Analysis and optimization of switched-capacitor DC-DC converters[J]. IEEE Transactions on Power Electronics, 2008, 23(2): 841-851. DOI: 10.1109/TPEL.2007.915182.

[8] 方贤朋,孙业钦,王兴华. 一种低功耗高效率 DC-DC 转换器的设计实现[J]. 微电子学与计算机, 2019, 36(12): 69-71. DOI: 10.19304/j.cnki.issn1000-7180.2019.12.014.

FANG X P, SUN Y Q, WANG X H. A low power high efficiency DC-DC converter[J]. Microelectronics & Computer, 2019, 36(12): 69-71. DOI: 10.19304/j.cnki.issn1000-7180.2019.12.014.

作者简介:

康昊鹏 男,(1996-),硕士研究生.研究方向为模拟集成电路设计. E-mail:khp1996@sjtu.edu.cn.

王霄飞 男,(1992-),博士研究生.研究方向为模拟集成电路设计.

金晶 女,(1983-),副研究员.研究方向为模拟与射频集成电路设计.